

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-078616

(43)Date of publication of application : 22.03.1996

(51)Int.Cl.

H01L 25/065

H01L 25/07

H01L 25/18

(21)Application number : 06-209790

(71)Applicant : FUJITSU LTD

(22)Date of filing : 02.09.1994

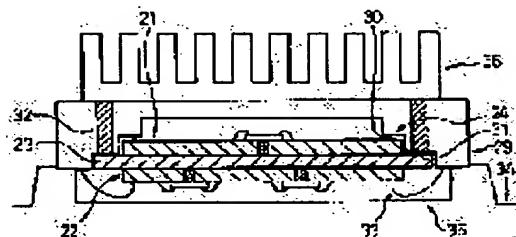
(72)Inventor : TSUCHIYA MASATO

(54) MULTI-CHIP MODULE

(57)Abstract:

PURPOSE: To obtain a substrate for a multi-chip module capable of increasing a mounting density by mounting semiconductor elements on both the surfaces of the substrate thereby effectively utilizing the surfaces of the substrate and also capable of providing good heat radiation.

CONSTITUTION: A metal plate 23 for heat radiation is sandwiched between at least two alumina laminated substrates 21 and 22 and simultaneously baked as one united body, which contains substrates mounting semiconductors on both the surfaces, a ceramics package 29 having a thermal via 32 inside which is connected to at least part of the metal plate 23 of the substrate when the substrate has been mounted, and a heat radiating member 36 attached to the ceramic package 29 in such a manner that it can be connected to the thermal via 32.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-78616

(43)公開日 平成8年(1996)3月22日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 25/065

25/07

25/18

H 0 1 L 25/ 08

Z

審査請求 未請求 請求項の数3 O L (全 5 頁)

(21)出願番号 特願平6-209790

(22)出願日 平成6年(1994)9月2日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 土屋 正人

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

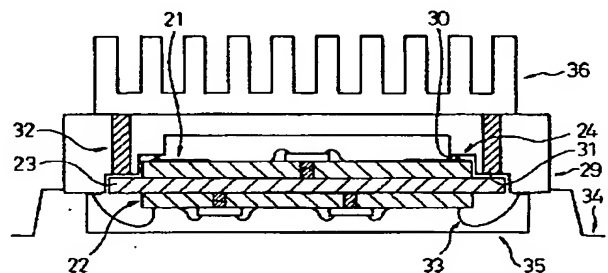
(74)代理人 弁理士 石田 敬 (外3名)

(54)【発明の名称】 マルチチップ・モジュール

(57)【要約】

【目的】 基板の両面に半導体素子を搭載して基板面を有効に利用して実装密度を上げることができ、且つ放熱の良好なマルチチップ・モジュール用基板を得ることを目的とする。

【構成】 放熱用の金属板23を少なくとも2枚のアルミナ積層基板21、22で挟んで同時焼成して一体化し、両面に半導体素子26を実装した基板20と、内部にサーマルビア32を有し且つ前記基板20を実装した際に基板20の金属板23の少なくとも一部が該サーマルビア32に接続するように構成したセラミックパッケージ29と、前記サーマルビア32に接続するように該セラミックパッケージ29に取付けられた放熱部材36とを含んでなることを特徴とするマルチチップ・モジュールである。



29...セラミックパッケージ
32...サーマルビア
34...リード
35...キャップ
36...放熱フィン

【特許請求の範囲】

【請求項 1】 放熱用の金属板（23）を少なくとも 2 枚のアルミナ積層基板（21、22）で挟んで同時焼成して一体化し、両面に半導体素子（26）を実装可能とした基板（20）を具備することを特徴とするマルチチップ・モジュール用基板。

【請求項 2】 前記アルミナ積層基板（21、22）に基板（20）の面から金属板（23）に至るスルーホールに熱伝導性の良好の物質を充填して成るサーマルビア（28）を設けたことを特徴とする請求項 1 に記載のマルチチップ・モジュール用基板。

【請求項 3】 放熱用の金属板（23）を少なくとも 2 枚のアルミナ積層基板（21、22）で挟んで同時焼成して一体化し、両面に半導体素子（26）を実装した基板（20）と、内部にサーマルビア（32）を有し且つ前記基板（20）を実装した際に基板（20）の金属板（23）の少なくとも一部が該サーマルビア（32）に接続するように構成したセラミックパッケージ（29）と、前記サーマルビア（32）に接続するように該セラミックパッケージ（29）に取付けられた放熱部材（36）とを含んでなることを特徴とするマルチチップ・モジュール。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】本発明は、半導体装置に関し、特に複数の半導体素子を 1 つの基板上に高密度に実装することにより、素子間の配線遅延を軽減し、高速の動作を可能にするマルチチップ・モジュールに関する。マルチチップ・モジュールは、高速の半導体素子を実装する上で優れた方式であるが、複数の半導体素子より生ずる熱を効率良く発散させる必要がある。

【0002】

【従来の技術】図 4 に、基板の表裏両面に複数の半導体素子が搭載された従来のマルチチップ・モジュールの一例（従来構造 1）を示す。基板 1 の表裏両面には複数の半導体素子 2 が搭載されており、これらの半導体素子 2 はボンディングワイヤ 3 により基板 1 上の導体パターン（図示せず）に接続されている。基板 1 と外部リード 4 との間もボンディングワイヤ 5 により接続され、複数の半導体素子 2 を含む基板 1 はトランスファモールドによって、例えばエポキシ等の樹脂 6 により気密封止されてプラスチックパッケージ 7 を構成する。樹脂 6 の外面には放熱フィン 8 が取付けられ、このパッケージの熱、特に複数の半導体素子 2 の熱を放散している。なお、9 は基板 1 の表裏面のパターン（図示せず）間の導通を図るためのスルーホールである。

【0003】図 5 に、プラスチックパッケージに比較して熱抵抗の低いセラミックパッケージを使用した従来例（従来構造 2）を示す。図 5 において、セラミックパッケージ（セラミック基板）11 の片面（図 5 の下面）に

複数の半導体素子 12 が搭載されており、これらの半導体素子 12 はボンディングワイヤ 13 によりセラミックパッケージ 11 上の導体パターン（図示せず）に接続される。セラミックパッケージ 11 の周囲立ち上がり部にはキャップ 15 が被せられ、内部の半導体素子 12 を保護する。セラミックパッケージ 11 の半導体素子 12 とは反対側の面には、放熱フィン 18 が取付けられ、また外部リード 14 がセラミックパッケージ 11 に接続されている。半導体素子 12 と外部リード 14 との間の接続はセラミックパッケージ 11 内部の配線パターン（図示せず）にて行われる。

【0004】

【発明が解決しようとする課題】上述のような従来のマルチチップ・モジュールにおいて、半導体素子から生ずる熱の伝導に関しては、基板を介してパッケージに熱を伝達する方法、或いは、半導体素子等から直接熱をパッケージに伝達させる方法があるが、いずれの方法においても、基板及びパッケージは熱抵抗が高いため（特に、図 4 に示したプラスチックパッケージ 7 は熱抵抗が高い）、熱伝導率の低下の原因となる。

【0005】即ち、図 4 のような従来の両面実装のマルチチップ・モジュール用基板においては、表裏両面に半導体素子 2 を搭載して実装密度を上げることは可能であるが、マルチチップ・モジュール用基板からの熱の放散性に問題があった。また、図 4 のような両面実装のマルチチップ・モジュール用基板はプラスチックパッケージであるため、熱伝導性が悪く、消費電力の大きなものには適用することができない。

【0006】一方、図 5 のような従来のセラミックパッケージを用いたマルチチップ・モジュール用基板においては、半導体素子 12 の熱はセラミックパッケージ 11 自体を介して放熱フィン 17 により放熱されるので放熱性は良好であるが、セラミックパッケージ 11 の片面しか半導体素子 12 を実装できないため、実装密度を上げることが困難である。

【0007】そこで、本発明は、基板の両面に半導体素子を搭載して基板面を有効に利用して実装密度を上げることができ、且つ放熱の良好なマルチチップ・モジュール用基板を提供することを目的とする。

【0008】

【課題を解決するための手段】このような課題を解決するために、請求項 1 によれば、図 3 に示すように、放熱用の金属板 23 を少なくとも 2 枚のアルミナ積層基板 21、22 で挟んで同時焼成して一体化し、両面に半導体素子 26 を実装可能とした基板 20 を具備することを特徴とするマルチチップ・モジュール用基板が提供される。

【0009】請求項 2 によれば、図 3 において、前記アルミナ積層基板 21、22 に基板 20 の面から金属板 23 に至るスルーホールに熱伝導性の良好の物質を充填し

て成るサーマルビア 28 を設けたことを特徴とする請求項 1 に記載のマルチチップ・モジュール用基板が提供される。請求項 3 によれば、図 1 及び図 3 に示すように、放熱用の金属板 23 を少なくとも 2 枚のアルミナ積層基板 21、22 で挟んで同時焼成して一体化し、両面に半導体素子 26 を実装した基板 20 と、内部にサーマルビア 32 を有し且つ前記基板 20 を実装した際に基板 20 の金属板 23 の少なくとも一部が該サーマルビア 32 に接続するように構成したセラミックパッケージ 29 と、前記サーマルビア 32 に接続するように該セラミックパッケージ 29 に取付けられた放熱部材 36 とを含んでなることを特徴とするマルチチップ・モジュールが提供される。

【0010】

【作用】請求項 1 によれば、基板の両面に搭載した半導体素子 26 の熱は、アルミナ積層基板 21、22 と一体を成す金属板 23 を介して効率良く放熱されるので、実装密度が高く、しかも放熱性の良いマルチチップ・モジュールを得ることができる。

【0011】請求項 2 によれば、基板 20 の両面に搭載した半導体素子 26 の熱は、サーマルビア 28 を介して金属板に伝わるので、より一層効率良く放熱される。請求項 3 によれば、基板 20 の両面に搭載した半導体素子の熱は、アルミナ積層基板 21、22 と一体を成す金属板 23 を介して効率良く放熱され、更にセラミックパッケージのサーマルビア 32 を介して放熱部材 36 に放熱されるので、実装密度が高く放熱性の良好なマルチチップ型半導体装置が得られる。請求項 3 において、請求項 2 のように、基板 20 のアルミナ積層基板 21、22 にサーマルビア 28 を設けると放熱性が一層良好となる。

【0012】

【実施例】以下、図 1～図 3 を参照して本発明の実施例を詳細に説明する。図 1 は本発明のマルチチップ・モジュール用基板の断面図である。図 2 (a)、(b) 及び (c) は本発明で使用する基板を示す平面 (表面) 図、裏面図及び断面図である。図 3 は本発明のマルチチップ・モジュール用基板の部分拡大断面図である。

【0013】まず、図 2 において、2 枚の矩形平板状のアルミナ積層基板 21、22 の間に、これらのアルミナ基板 21、22 と熱膨張係数の近い放熱用の金属板、例えばコパール板などのような熱伝導性の良好な金属板 23 をサンドイッチ状に挟み、同時焼成することにより熱伝導性の良好な基板 20 を作成する。金属板 23 は、アルミナ積層基板 21、22 と同様に略矩形的の平板であるが、4 隅にこれらのアルミナ積層基板 21、22 より外側へ突き出した部分 23a を有する。これらの突出し部分 23a は後述のように基板 20 からの熱の逃すためのものである。

【0014】基板 20 の最上面 (アルミナ積層基板 21 上) には、部品実装用の導体パターン (図示せず) 以外

に、特に周囲部において、図 2 (a) に示すようにはんだバンプ 24 が設けられ、後述のように、セラミックパッケージとの間でバンプ接続が行われる。一方、基板 20 の最下面 (アルミナ積層基板 22 上) にも、部品実装用の導体パターン (図示せず) 以外に、特に周囲部において、図 2 (b) に示すようにワイヤボンディング用の導体パッド 25 が設けられ、後述のように、セラミックパッケージとの間でワイヤボンディングにより接続される。

【0015】図 3 は、基板 20 の表裏両面 (アルミナ積層基板 21、22) 上に半導体素子 26 をボンディングワイヤ 27 により実装した状態を拡大して示す。アルミナ基板 21、22 には各半導体素子 26 の位置に対応して半導体素子 26 からコパールの金属板 23 まで延びるサーマルビア 28 が設けてある。これらのサーマルビア 28 はアルミナ基板 21、22 を貫通するスルーホールに熱伝導性の良好な物質、例えば金属粉などを詰めたものであり、半導体素子 26 の熱を金属板 23 に放熱する役目をする。

【0016】図 1 は、QFP タイプの半導体パッケージであって、半導体素子 26 を実装した基板 20 をセラミックパッケージ 29 に搭載した状態を示す。セラミックパッケージ 29 には、基板 20 を搭載するための 2 つの段差部分がある。即ち、表面側アルミナ基板 21 のはんだバンプ 24 を接続するための段差部 30 及び金属板 23 の突出し部分 23a が接触するための段差部 31 である。段差部 31 にはセラミックパッケージ 29 を貫通するサーマルビア 32 が形成されている。したがって、基板 20 のはんだバンプ 24 がセラミックパッケージ 29 の段差部 30 に形成された導体部とはんだ付けによって接続され、これによって基板 20 側とセラミックパッケージ 29 側との間の電気的な接続が行なわれる。また同時に金属板 23 の突出し部分 23a がセラミックパッケージ 29 の段差部 31 にあるサーマルビア 32 に高温はんだ又は熱伝導率の高い接着材等により接続される。一方、裏面側アルミナ基板 22 のボンディング用のパッド 25 はワイヤボンディング 33 によりセラミックパッケージ 29 の導体部に接続される。

【0017】セラミックパッケージ 29 には外部リード 34 が接続され、基板 20 の側はキャップ 35 によりカバーされる。また、セラミックパッケージ 29 の基板 20 とは反対側の面には放熱フィン 36 が接続される。これにより、半導体素子 26 からの熱はサーマルビア 28 を通って金属板 23 に放熱され、更にセラミックパッケージ 29 のサーマルビア 32 を介して放熱フィン 36 により外部に効率良く放熱される。

【0018】

【発明の効果】以上説明したように、本発明によれば、複数の半導体素子が高密度に実装可能で、大電力を消費するマルチチップ・モジュールにおいても、基板の両面

に部品を高密度に搭載することができ、且つ放熱性の良好な半導体装置が得られる。

【図面の簡単な説明】

【図 1】本発明のマルチチップ・モジュールの断面図である。

【図 2】(a) は本発明で用いるマルチチップ・モジュール用基板の平面（表面）図、(b) は同基板の裏面図、(c) は同基板の断面図である。

【図 3】本発明で用いるマルチチップ・モジュール用基板に半導体素子を搭載した状態を示す拡大断面図である。

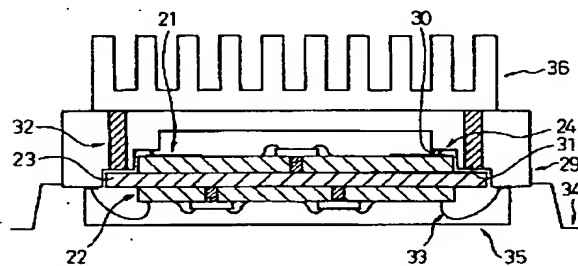
【図 4】従来のマルチチップ・モジュールの一例（特に、プラスチックパッケージ）を示す断面図である。

【図 5】従来のマルチチップ・モジュールの他の例（特に、セラミックパッケージ）を示す断面図である。

【符号の説明】

- 20…基板
- 21, 22…アルミナ積層基板
- 23…金属（コパル）板
- 24…はんだバンプ
- 25…ボンディングパッド
- 26…半導体素子
- 27…ワイヤ
- 28…サーマルビア
- 29…セラミックパッケージ
- 30, 31…段差
- 32…サーマルビア
- 33…ワイヤ
- 34…リード
- 35…キャップ
- 36…放熱フィン

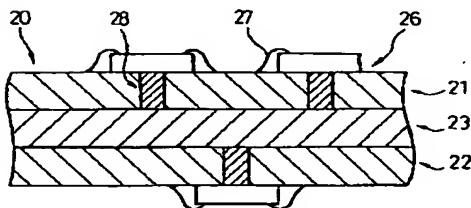
【図 1】



- 29…セラミックパッケージ
- 32…サーマルビア
- 34…リード
- 35…キャップ
- 36…放熱フィン

【図 3】

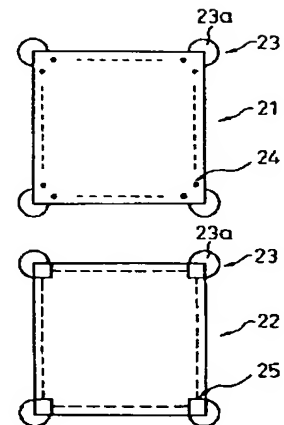
基板断面図



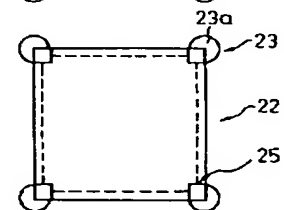
- 20…基板
- 21, 22…アルミナ積層板
- 23…コパル（金属板）
- 26…半導体素子
- 27…ワイヤ
- 28…サーマルビア

【図 2】

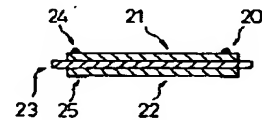
(a) 基板表面図



(b) 基板裏面図



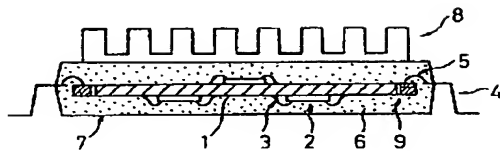
(c) 基板断面図



- 20…基板
- 21, 22…アルミナ積層板
- 23…コパル板
- 24…はんだバンプ
- 25…ボンディングパッド

【図 4】

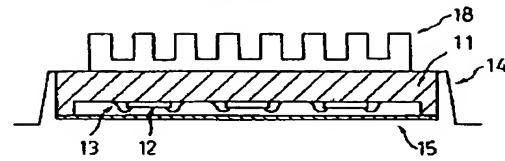
従来構造 1



- | | |
|---------|---------------|
| 1…基板 | 6…樹脂 |
| 2…半導体素子 | 7…プラスチックパッケージ |
| 3…ワイヤー | 8…放熱フィン |
| 4…リード | 9…スルーホール |
| 5…ワイヤー | |

【図 5】

従来構造 2



- | | |
|---------------|----------|
| 11…セラミックパッケージ | 14…リード |
| 12…半導体素子 | 15…キャップ |
| 13…ワイヤー | 18…放熱フィン |